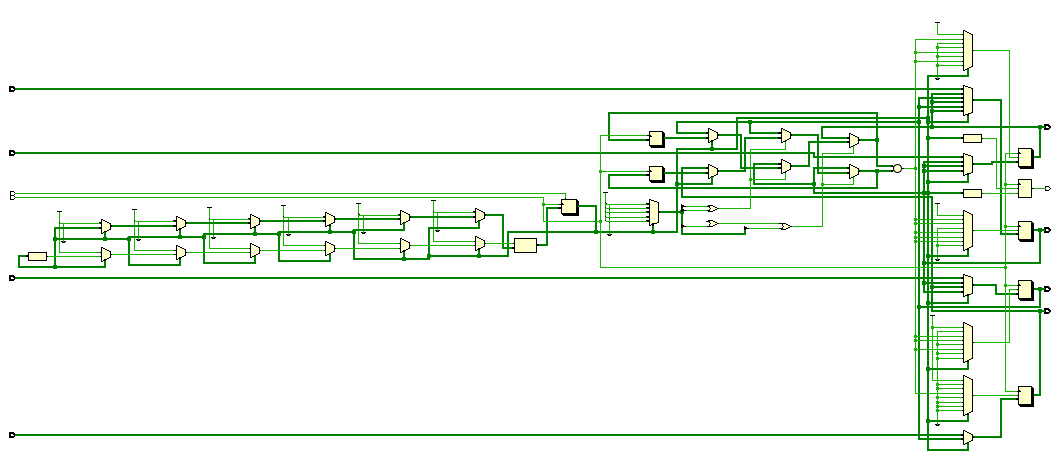
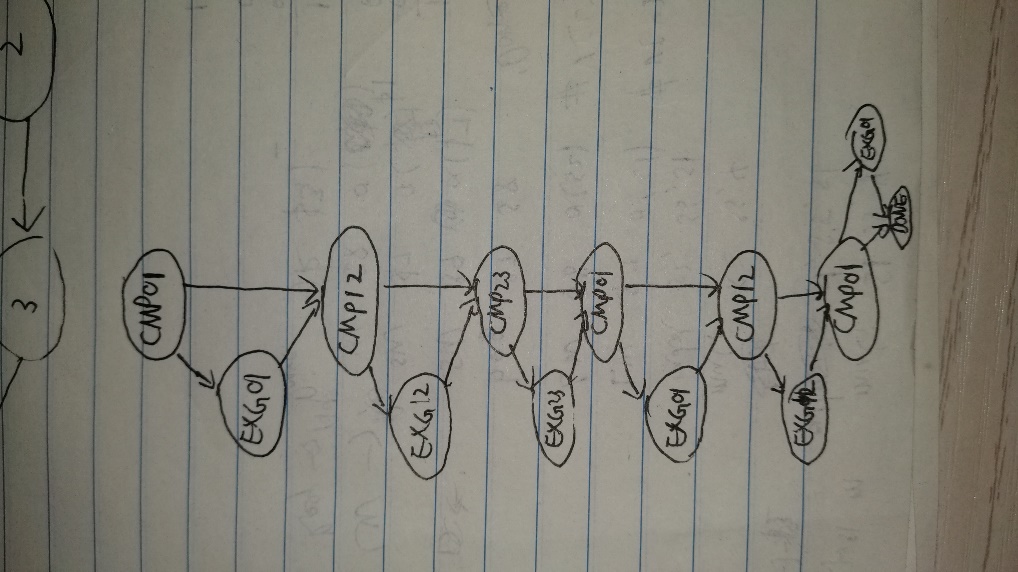
Lab1 运算器与寄存器

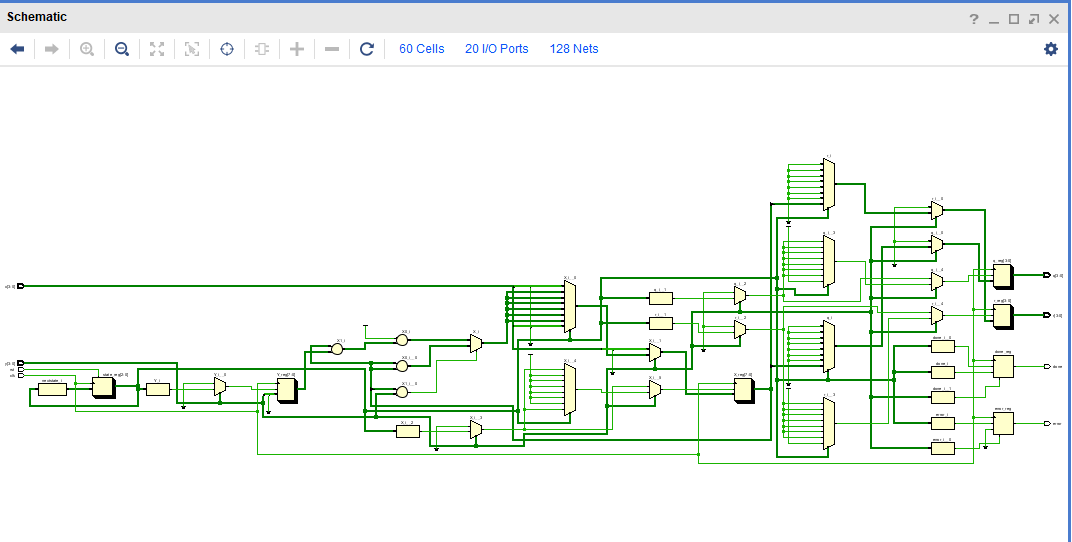
1. 设计逻辑
2. 四个四位数的排序器：利用三段式状态机通过6个状态来完成比较与换位排序，排序算法使用冒泡法。排序从大到小。

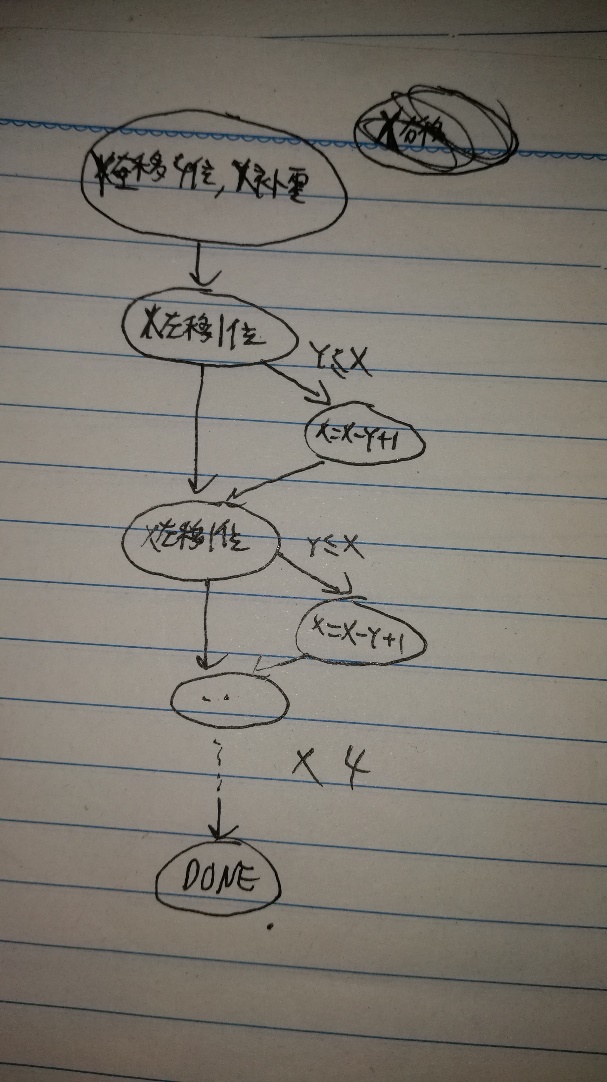
数据通路



状态图

1. 除法器：实现两个四位二进制数的除法运算，输出商和余数。ERROR表示除数为0，DONE表示计算完成。

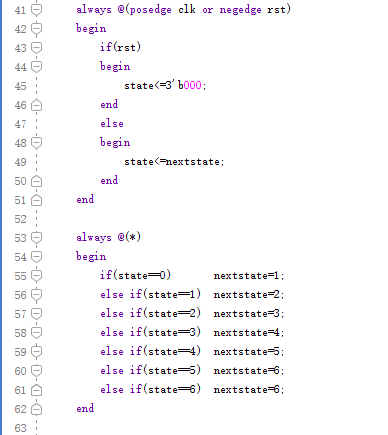


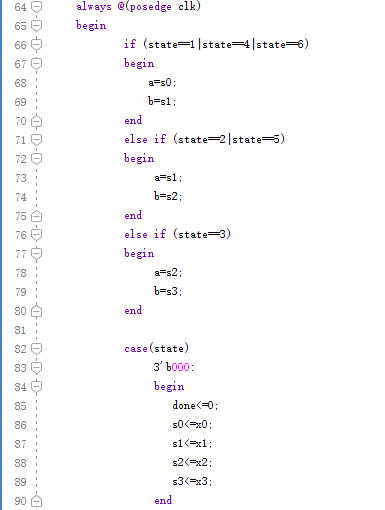
数据通路

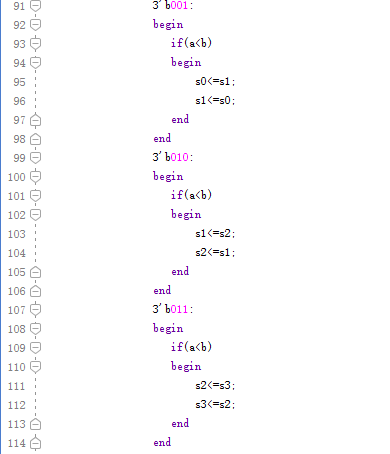
状态图

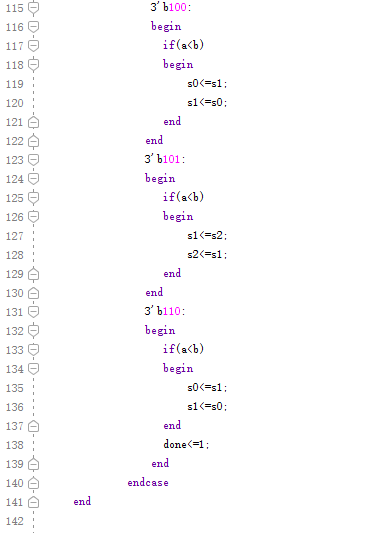
1. 核心代码

(1). 排序器



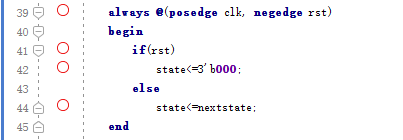


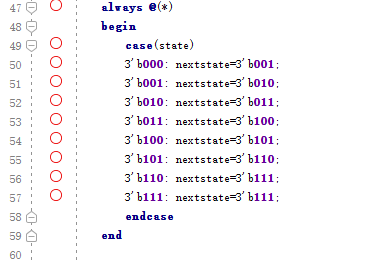


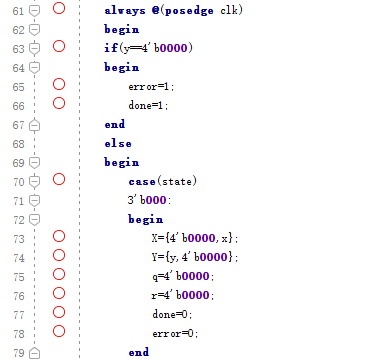


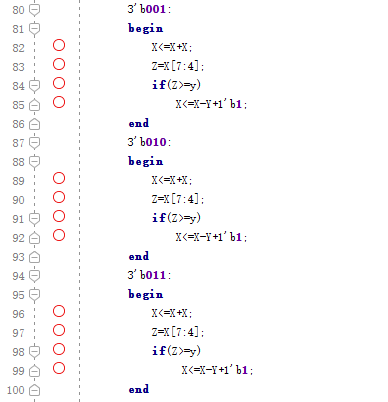
排序器核心代码截图，采用三段式状态机

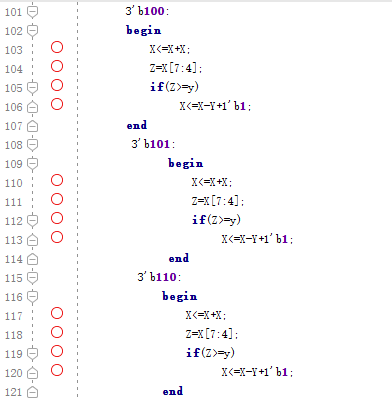
(2). 除法器

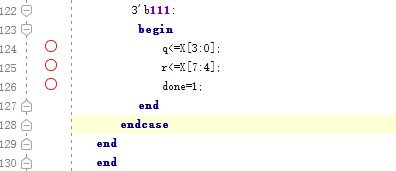






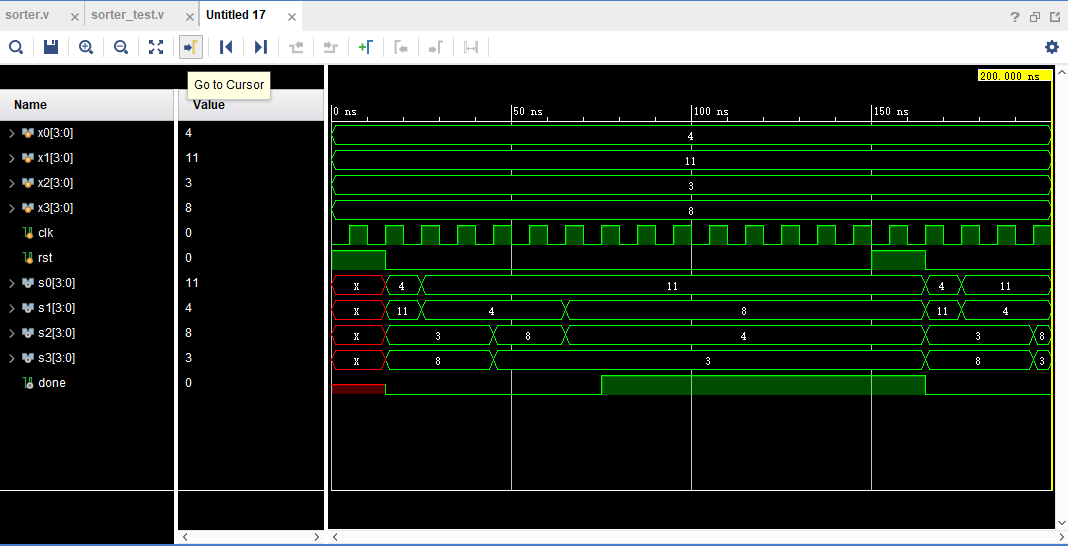




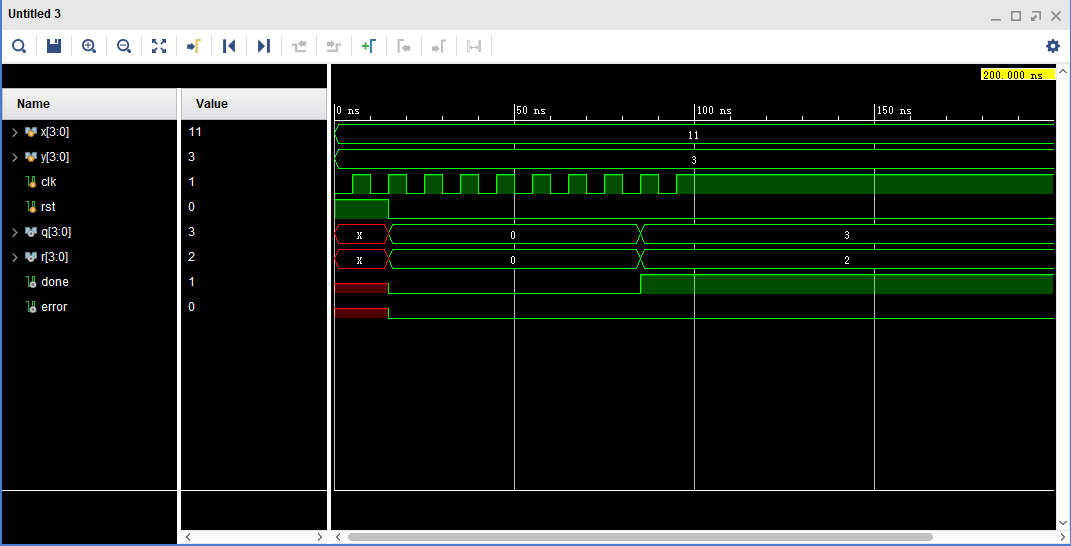


除法器核心代码截图，同样采取三段式状态机

1. 仿真结果与下载结果：



排序器仿真，输入四个数为4 11 3 8 输出排序结果为11 8 4 3

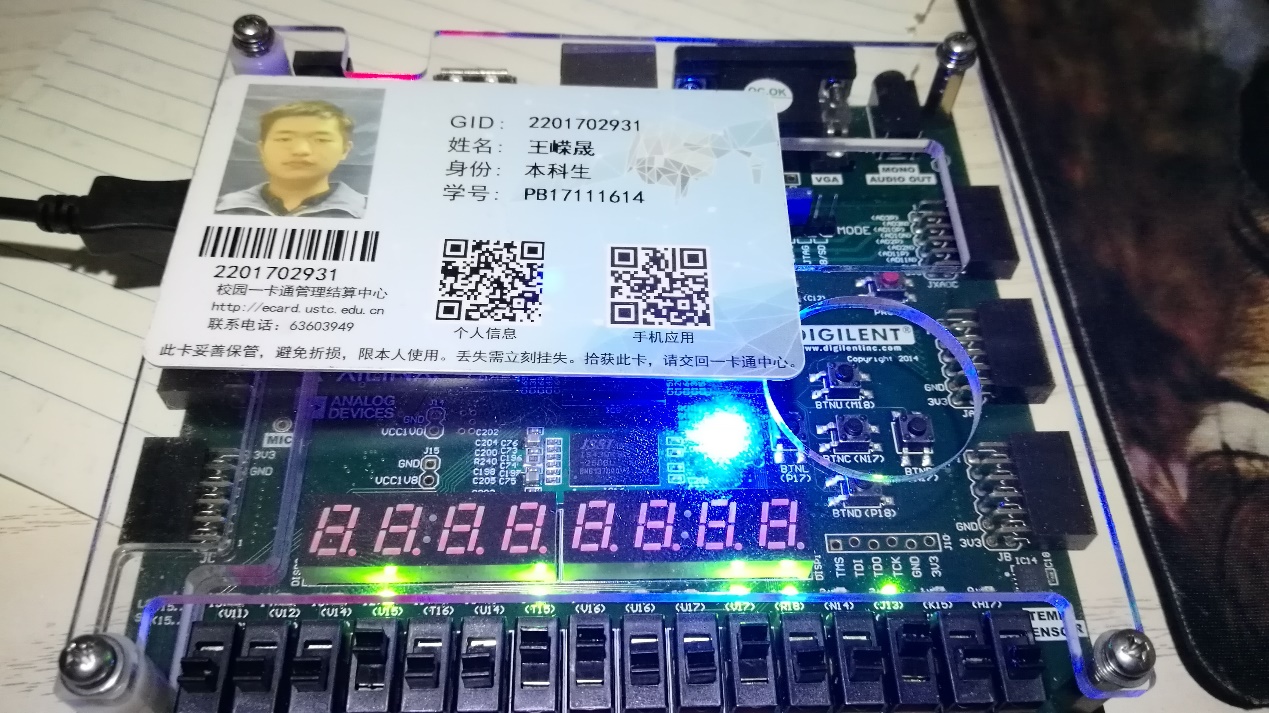


除法器仿真，输入被除数11 除数3，输出商3 余2， error为0

下载照片：



排序器初始输入4231



排序结果输出4321，同时DONE指示灯亮起



输入11/3，输出商3余2，DONE亮起

1. 结果分析

排序结果准确，除法运算结果准确

1. 实验总结

在一周前的lab1实验中重新温习了verilog的语法，本次试验相较上一次更加得心应手。本次试验主要学习了状态机的verilog表示方法，着重学习了两段式与三段式。三段式状态机可修改性和稳定性都更强，因此在写排序器和除法器时使用了三段式。写状态机的难点在于画正确的状态图，分清一共有欧多少个状态及状态间的转换关系还有状态中的具体操作。

1. 意见/建议：

希望具体实验要求能早一点明确地给出来，不要临时改要求导致之前做了些无用功。